

JP 03 - 034433

MANUFACTURE OF THIN FILM TRANSISTOR

Patent Number: JP3034433
Publication date: 1991-02-14
Inventor(s): ANDO HIDEKI; others: 03
Applicant(s): HITACHI LTD
Requested Patent: JP3034433
Application: JP19890166672 19890630
Priority Number(s):
IPC Classification: H01L21/336 ; H01L21/265 ; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To form a region of low impurity concentration in a drain junction part without complicating a process, reduce OFF-current, and increase ON-OFF ratio, by a method wherein, as an activating method after impurity is introduced, laser light is obliquely projected by using a gate electrode as a mask.

CONSTITUTION: Glass or quartz is used for an insulating substrate 1; the substrate temperature is kept at 580 deg.C; a poly-Si film 2 of 1500Angstrom in thickness is formed by low pressure CVD method. After said film is treated by a process of island photoetching, an SiO₂ film of 1500Angstrom in thickness for an gate insulating film 6 is deposited by low pressure CVD method. A poly-Si film of 1500Angstrom in thickness for a gate electrode 7 is deposited. After the gate electrode 7 and the gate insulating film 6 are subjected to photoetching, phosphorus is ion- implanted by using the gate electrode 7 as a mask. In order to activate impurity, 308nm wavelength XeCl pulse excimer laser light 8 with energy of 300J/cm² is projected at an angle of 45 deg., thereby forming a source electrode 3, a drain electrode 5, and a region 4 where impurity is not activated.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-34433

⑤ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成3年(1991)2月14日

H 01 L 21/336

9056-5F
7522-5F

H 01 L 29/78
21/265

3 1 1 P
A※

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平1-166672

⑯ 出 願 平1(1989)6月30日

⑯ 発 明 者 安 藤 英 美 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑯ 発 明 者 青 山 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑯ 発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑯ 発 明 者 胡 中 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑯ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑯ 代 理 人 弁理士 小川 勝男 外2名
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. 絶縁基板上に形成された多結晶シリコン膜中に不純物を導入することにより形成された不純物領域の不純物活性化工程において、ゲート電極を形成後レーザ光をななめから照射することとを特徴とする薄膜トランジスタの製造方法。

2. 請求項1において、上記不純物領域は、ドレイン電極であることを特徴とする薄膜トランジスタの製造方法。

3. 請求項2において、上記レーザ光をソース電極側から照射してドレイン電極の一部分にレーザを照射しない領域を設けることを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜トランジスタの製造方法に係り、特にアクティブマトリクス方式の液晶ディスプレイ

に好適な薄膜トランジスタの製造方法に関する。
(従来の技術)

近年、アクティブマトリクス方式液晶平面ディスプレイの大画面化、高精細化の要求が高まるにつれて、多結晶シリコン(Poly Crystalline Silicon 略してPoly-Si)を用いた薄膜トランジスタ(Thin Film Transistor略してTFT)の開発が盛んに進められている。ディスプレイの表示品質を良くするために要求されているTFTの特性としては、オフ電流が小さいこと、電流のオン、オフ比が大きいことである。

第2図は従来、一般的に用いられているPoly-Si TFTの断面構造である。絶縁基板(ガラス)1上にPoly-Si 2が形成され、その上にゲート絶縁膜6が形成されている。そしてこのゲート絶縁膜6上にゲート電極7が形成され、これをマスクとしてPoly-Si 2中に不純物を導入し、活性化することで、不純物領域であるソース電極3およびドレイン電極5を形成する。しかし、この構造のPoly-Si TFTでは、オフ状態にあ

るとき、すなわちnチャネルTFTでは負のゲート電圧が印加された状態、PチャネルTFTでは正のゲート電圧が印加された状態の時、印加されたゲート電圧、ドレイン電圧による電界がドレイン接合部10に集中する。このため、ドレイン接合付近の結晶粒界中のトラップ準位を介してキャリアが生成し、ゲート電圧、ドレイン電圧の増加と共に大きなリーク電流が流れ、オフ電流が大きく、かつ、オン、オフ比が小さくなるという問題があった。

そこで、次に特開昭63-204769号公報に記載のようにドレイン接合付近に集中する電界を緩和するために、LSIで用いられているLDD構造(Lightly-Doped Drain)を用いたTFTが考えられた。第3図はLDD構造を用いたPoly-Si TFTの断面構造である。ガラスなどの絶縁基板1上にPoly-Si 2、ゲート絶縁膜6を積層する。次にゲート絶縁膜6上にゲート電極7を形成し、これをマスクとして低濃度で不純物を導入し、不純物濃度の低い領域9をPoly-Si 2中に形成す

る。さらに、ゲート電極7より大きいレジストマスクをゲート電極7上に形成し、不純物を導入し、ソース電極3およびドレイン電極5を形成する。このような構造をもつPoly-Si TFTは、ドレイン接合付近の不純物濃度が低いため、ゲート電極やドレイン電圧による電界が分散され、ドレイン接合部10の電界強度が弱まり、リーク電流を減少させることができた。

〔発明が解決しようとする課題〕

しかし、上記従来技術は、通常の製造工程に加えて、ホト、不純物導入の工程が加わり、プロセスが煩雑になる問題があった。

そこで、本発明では、プロセスを煩雑にすることなく、ドレイン接合部に不純物濃度の低い領域を設けることによりオフ電流を低減、かつオン、オフ比を大きくすることができるPoly-Si TFTの製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明は、Poly-Si TFTを製造する工程の不純物導入後の活

性化法として、ゲート電極をマスクとしてレーザー光をななめから照射することを特徴としたものである。

〔作用〕

不純物の活性化において、ななめからレーザー照射すると、ゲート電極がマスクとなつてドレイン接合付近にはレーザー光が照射されず、不純物が活性化されない領域が形成され、レーザー光のあたるソース電極、ドレイン電極、ゲート電極は活性化される。これによりドレイン接合部の活性化した不純物濃度は低くでき通常のプロセスをあまり煩雑にすることなく、ドレイン部のLDD構造を作ることができる。

また、本発明により形成したPoly-Si TFTは不純物が活性化されていない領域が設けられているため、ゲート電圧とドレイン電圧による電界が分散され、ドレイン接合部の電界強度が弱まり、ドレイン接合付近の結晶粒中のトラップ準位を介して生成するキャリアが少なくなり、リーク電流を低減させることができる。

〔実施例〕

以下、本発明の一実施例を説明する。第1図は本発明を用いたTFT全体の断面構造を示す。まず、絶縁基板1としては、ガラスあるいは石英を用い、基板温度を580℃に保ち、減圧CVD法により厚さ1500ÅのPoly-Si 2を形成する。この膜をアイランドホト、エッチングの工程を通した後、常圧CVD法によりゲート絶縁膜6用のSiO₂膜を1500Å堆積させる。次に、ゲート電極7用のPoly-Si膜を1500Å堆積させる。ゲート電極7、ゲート絶縁膜6をホト、エッチングした後、ゲート電極7をマスクとしてリンをイオン注入し、さらに、不純物活性化のために、ななめから波長308nmのXeClパルスエキシマレーザー光8を300mJ/cm²のエネルギーで45°の角度から照射し、ソース電極3、ドレイン電極5、不純物の活性化していない領域4をつくる。これによりLDD領域が0.3μm以上形成できる。さらにリンガラス(Phospho Silicon glass, 略してPSG)を400℃で5000Å

堆積させる。コンタクト用のホト、エッチ工程の後、 Λ 2 電極を6000 Å スパッタする。

第4図は上記、本発明のPoly-Si TFTと、従来のPoly-Si TFTのゲート電圧によるドレイン電流依存性の測定結果を示す図である。この従来のPoly-Si TFTは、不純物活性化ではレーザ光を垂直に照射したものである。測定したTFTのチャネル幅、チャネル長はそれぞれ10 μ m、50 μ mである。本発明と従来の特性を比べると、オン、オフ比は1桁以上増加し、オフ電流も1桁低減している。

上記実施例において、不純物活性化用レーザ光は45°の角度から照射しているが、これは、ドレイン接合の部分に不純物が活性化されていない領域が設けることができる角度であれば、45°に限定されない。

(発明の効果)

本発明によれば、ドレイン接合部の電界強度を緩和できるので、薄膜半導体装置のリーク電流低減の効果がある。また、プロセスは従来とのほと

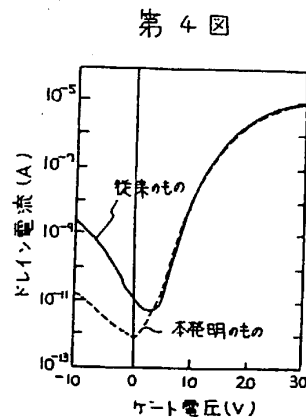
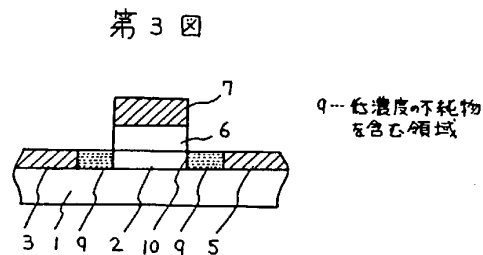
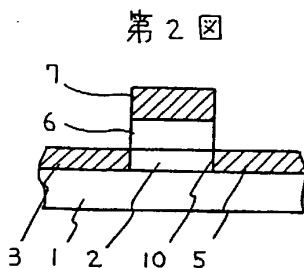
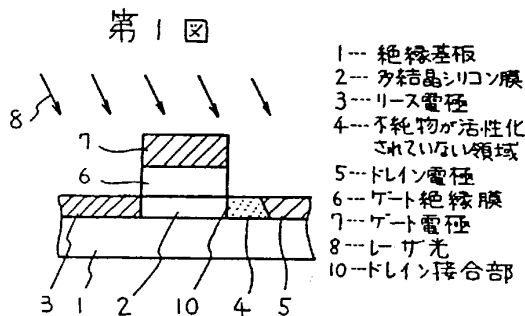
んど変更はないため、コストが変わらず、より特性の優れた薄膜トランジスタを製造できる。

4. 図面の簡単な説明

第1図は本発明によるPoly-Si TFTの一実施例を示す概略構造の断面図、第2図は従来のPoly-Si TFTの概略構造の断面図、第3図は従来のLDD構造をもつPoly-Si TFTの概略構造の断面図、第4図は従来のPoly-Si TFTと本発明のPoly-Si TFTのゲート電圧によるドレイン電流依存性の測定結果を示す図である。

1…絶縁基板、2…多結晶シリコン膜、3…ソース電極、4…不純物が活性化されていない領域、5…ドレイン電極、6…ゲート絶縁膜、7…ゲート電極、8…レーザ光、9…低濃度の不純物を含む領域、10…ドレイン接合部。

代理人 弁理士 小川勝男



第1頁の続き

⑤Int.Cl.⁵

H 01 L 21/265
29/784

識別記号

庁内整理番号

7522-5F H 01 L 21/265 3 1 1 P